

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

4347

출력 일자: 2003/2/22

발송번호 : 9-5-2003-005798075

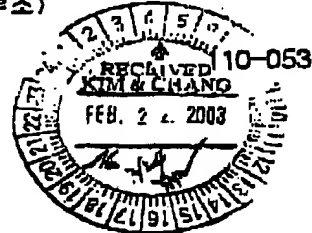
발송일자 : 2003.02.21

제출기일 : 2003.04.21

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

주성민 귀하



특허청 의견제출통지서

출원인

명원 노른 엔기 가무시끼가이샤 (출원인코드: 519980958731)

주소 일본국 도쿄도 미나토구 시바 5포에 7방 1고

대리인

법원 주성민 외 1명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호

10-2000-0071942

발명의 명칭

반도체 집적 회로에 대한 전자기 간섭 시뮬레이션을 위한 전원 모델,
전원 모델 설계 방법, 전자기 간섭 시뮬레이터, 전원 모델 생성
프로그램, 전원 모델 생성용 컴퓨터 프로그램, 전원 모델 생성하
는 저장 매체, 및 전원 모델 설계 지원 시스템

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하
오니 의견이 있거나 보정이 필요한 경우에는 상기 제출기일까지 의견서 또는/및 보정서류 제출하여
주시기 바랍니다. (상기 제출기일에 대하여 매월 1일 단위로 연장할 수 있으며, 이 신청에
대하여 별도의 기간연장통지서는 하지 않습니다.)

[이유]

1. 이 출원의 특허청구범위 제1,21,46항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에
서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법
제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

가. 상기 청구항에 기재된 발명은 반도체 집적회로의 전원 모델, 전원모델 설계방법 및 이를 저장하
는 저장매체에 관한 것으로서, 반도체 집적회로의 동작부를 나타내는 로직게이트 회로부와 비동작
부를 나타내는 등가 내부 용량부를 포함하는 모델설계에 관한 것입니다.

나. 첨부한 인용발명을 살펴보면, 본원발명과 같이 집적회로의 노이즈 시뮬레이션을 위한 방법과
장치에 관한 것으로서, IC가 복수의 기동특성으로 나누어져 있고, 전류특성이 전류소모 시뮬레이션
의 수행에 의하여 분석되고, 각각의 기동특성의 모델회로가 상기 분석된 전류특성을 수집하도록 구
성되는 기술부들은 본원의 등가 내부 용량부에 유사하게 대응되고, 단자(9,10)에 연결되고 전원선
11과 GND선 12 사이에 연결된 인버터는 본원의 로직게이트 회로부에 대응되는 구성요소입니다.

다. 따라서 본원의 상기 청구항에 기재된 발명은 상기와 같이 인용발명과 유사한 것이므로 당업자
수준에서 인용발명으로부터 용이하게 발명할 수 있다고 사료합니다.

2. 이 출원은 명세서의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제3항의 규정에 의
한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

상세한 설명에는 "트랜지스터 불적 어레이(40)"(12쪽) 등과 같이 도면의 인용기호와 상이하게 기재
되어 있어 발명의 내용이 불명확합니다.

출력 일자: 2003/2/22

3. 본원의 발명의 명칭에는 "전원모뎀 생성용 컴퓨터 프로그램"이 포함되어 있으나, 특허청구의 범위에는 컴퓨터 프로그램이 청구되어 있지 않을 뿐만 아니라 특허법의 규정상 순수한 컴퓨터 프로그램은 발명의 대상이 아니므로 이를 삭제 함이 바람직합니다.

[첨 부]

첨부1 인용발명 : 일본공개특허공보 평11-120214호(1999.04.30) 1부 공.

2003.02.21

특허청

심사4국

전자심사담당관실

심사관 박재일



<<안내>>

문의사항이 있으시면 ☎ 042-481-5571 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

27/02 '03 THU 18:56 FAX 2 741 0328

KIM & CHANG

002

KIM & CHANG
金・張 特許法律事務所

T. SY491

発送日付: 2003. 02. 21

提出期限: 2003. 04. 21

特 許 庁
意見提出通知書

出 願 人 氏 名 日本電気株式会社
住 所 日本国東京都港区芝5丁目7-1

代 理 人 氏 名 朱 成 民 外1人
住 所 ソウル市鍾路区内資洞 219 ハンヌリビル
(金・張特許法律事務所)

出願番号 10-2000-0071942

発明の名称 POWER MODEL FOR EMI SIMULATION TO SEMICONDUCTOR INTEGRATED
CIRCUIT, METHOD OF DESIGNING THE POWER MODEL, EMI SIMULATOR, POWER
MODEL PREPARATION COMPUTER PROGRAM, AND STORAGE MEDIUM STORING
THE SAME AS WELL AS POWER MODEL DESIGN SUPPORT SYSTEM

本出願に対する審査結果、以下のような拒絶理由があり特許法第63条の規定によりこれを通知するので、意見があるか補正を行う必要がある場合は上記期限までに意見書又は/及び補正書を提出されたい(上記期限について毎回1ヵ月単位で延長を申請することができ、この申請について別途の期間延長承認通知はしない)。

[理由]

1. 本出願の特許請求の範囲第1、21、46項に記載された発明は、その出願前にこの発明が属する技術分野における通常の知識を有する者が以下に指摘したことにより容易に発明できたものであるため、特許法第29条第2項の規定により特許を受けることができない。

イ. 上記請求項に記載された発明は、半導体集積回路の電源モデル、電源モデルの設計方法及びこれを格納する格納媒体に関するものであって、半導体集積回路の動作部を示すロジックゲート回路部と非動作部を示す等価内部容量部とを含むモデル設計に関するものである。

ロ. 添付した引用発明を詳察すれば、本願発明のように集積回路のノイズシミュレーションのための方法と装置に関するものであって、ICが複数の機能ブロックに分けられており、電流特性が電流消耗シミュレーションの遂行により分析され、それぞれの機

27/02 '03 THU 18:58 FAX 2 741 0328

KIM & CHANG

003

KIM & CHANG
金・監 特許法律事務所

能ブロックのモデル回路が上記分析された電流特性を収集するように構成される技術部分は、本願の等価内部容量部に類似するように対応し、端子(9, 10)に連結されて電源線 11 と GND 線 12 との間に連結されたインバータは、本願のロジックゲート回路部に対応する構成要素である。

ハ、従って、本願の上記請求項に記載された発明は、上記のように引用発明と類似するものであるので、当業者の水準で引用発明から容易に発明できたと思料される。

2. 本出願は明細書の記載が以下に指摘している通り不備なものと認められ、特許法第42条第3項の規定による要件を満たしていないので、特許を受けることができない。

詳細な説明には、“トランジスタブロックアレイ(40)” (12頁)などのように図面の引用記号と相違するように記載されており、発明の内容が不明確である。

3. 本願の発明の名称には“電源モデル生成用コンピュータプログラム”が含まれているが、特許請求の範囲にはコンピュータプログラムが請求されていないだけでなく、特許法の規定上、純粋なコンピュータプログラムは発明の対象でないので、これを削除することが望ましい。

〔添付〕

添付1 引用発明：日本国公開特許公報平 11-120214 号(1999.04.30) 1部

2003年 2月 21日

特許庁

審査4局

電子 審査担当官室

審査官 バク ジェ イル

OGAWA et al. - U.S. pat. Appl. 09/725,463
Ref. PF-2702/NEC/US/mh

a. The invention recorded in the Claims relates to an electric power model of a semiconductor accumulation circuit and to the design method of the electric power model, as well as to a storage medium which stores them. It also relates to the design of a model which includes a logic gate circuit which shows the operational components of the semiconductor accumulation circuit and an equivalent internal capacity which shows the non-operational components.

b. In providing a Detailed Explanation of the Invention according to the present Citation, the invention relates to a method and device for the noise simulation of an accumulation circuit, such as that described in the invention of the present application. An IC is divided into multiple functional blocks, and the electric current characteristics are analyzed by applying electric current consumption simulation. The technical components constructed so that the model circuit of the respective functional blocks accumulate the analyzed electric current characteristics correspond so as to resemble the equivalent internal capacity of the present application. An inverter connected to the terminals (9 and 10) and coupled between the electric power line 11 and ground line 12 is an essential construction element corresponding to the logic gate circuit of the present application.

c. Furthermore, since the invention recorded in the Claims of the present application is similar to the invention cited above, it could be easily conceived from the Citation invention by the standards of one skilled in the Art.

2. The present application is recognized as being deficient, as indicated hereafter in the notation of the Specification, and since it does not satisfy the conditions of the stipulations of Article 42 Section 3 of the Patent Law, it cannot receive a patent.

The Detailed Description is written so as to differ from the Citation Numbers of the drawings, and reference is made to an "transistor block array (40)", (page 12), making the contents of the invention unclear.

3. The title of the invention of the present application includes reference to a "computer program used for electric power model generation". However, in the Scope of Claims, not only is there no request for a computer program, but since, according to the stipulations of the Patent Law, a true computer program is not an object of the invention, this should be deleted.

Addenda

Addendum 1

Citation invention:

Japanese Laid Open Patent Publication Hei 11-120214
(04/30/1999) One set

METHOD AND DEVICE FOR NOISE SIMULATION OF INTEGRATED CIRCUIT AND RECORDING MEDIUM

Patent Number: JP11120214
Publication date: 1999-04-30
Inventor(s): ICHIKAWA KOJI
Applicant(s): DENSO CORP
Requested Patent: ☐ JP11120214
Application Number: JP19970278611 19971013
Priority Number(s):
IPC Classification: G06F17/50; G01R31/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To evaluate a noise which occurs in an integrated circuit(IC) on the stage of design by preparing a circuit for noise simulation by adding impedance information to the model circuit of the IC, and analyzing the noise at a circuit part, where the increase of noise is estimated, by executing analog simulation on this circuit.
SOLUTION: The IC is divided into plural function blocks, a current characteristic is analyzed by executing current consumption simulation, and each model circuit 3 of each function block is constituted so as to obtain the analyzed current characteristic. A circuit equivalent to the impedance information such as power supply wiring connected to each function block is added to each model circuit 3, the plural model circuits 3 are coupled, and a circuit 6 for noise simulation is prepared. Then, a voltage waveform or the like at the circuit part, where the increase of noise is estimated, is analyzed by executing the analog simulation and the frequency of the voltage waveform or the like is analyzed so that the noise can be analyzed.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-120214

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁴

識別記号

FI

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 S

G 0 1 R 31/28

G 0 1 R 31/28

F

審査請求 未請求 請求項の数 6 OL (全 10 頁)

(21) 出願番号 特願平9-278811

(22) 出願日 平成9年(1997)10月13日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 市川 浩司

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

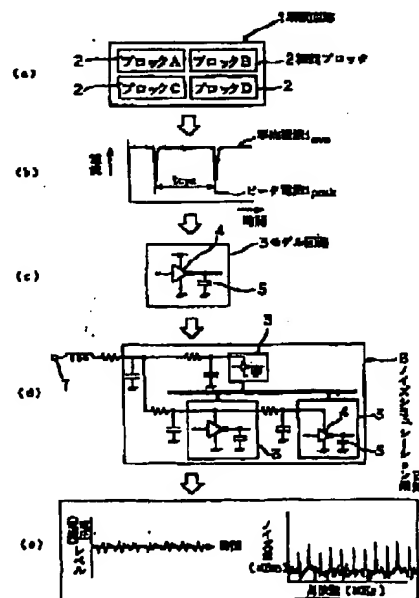
(74) 代理人 弁護士 佐藤 強

(54) 【発明の名称】 集積回路のノイズシミュレーション方法及びノイズシミュレーション装置及び記録媒体

(57) 【要約】

【課題】 集積回路が発生するノイズを設計段階で評価できるようにして、ノイズ対策を実行可能にする。

【解決手段】 本発明の集積回路のノイズシミュレーション方法は、集積回路を複数の機能ブロックに分割するステップと、複数の機能ブロックに対して消費電流シミュレーションを実行するステップと、インバータ回路と負荷容量から各機能ブロックの各モデル回路を構成するステップと、各機能ブロックに接続される電源配線等のインピーダンス情報を抽出して各モデル回路に付加するステップと、複数のモデル回路を結合してノイズシミュレーション用回路を作成するステップと、ノイズシミュレーション用回路に対してアナログシミュレーションを実行することによりノイズを解析するステップとを備えて構成されている。



(2)

特開平11-120214

【特許請求の範囲】

【請求項1】 集積回路に対して消費電流シミュレーションを実行することにより、前記集積回路の電流特性を解析するステップと、

前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記集積回路のモデル回路を構成するステップと、

前記モデル回路に接続する電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記モデル回路に付加してノイズシミュレーション用回路を作成するステップと、

前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析するステップとを備えて成る集積回路のノイズシミュレーション方法、

【請求項2】 集積回路を複数の機能ブロックに分割するステップと、

前記複数の機能ブロックに対して消費電流シミュレーションを実行することにより、前記各機能ブロックの電流特性を解析するステップと、

前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記各機能ブロックの各モデル回路を構成するステップと、

前記各機能ブロックに接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記各モデル回路に付加するステップと、

前記複数のモデル回路を結合してノイズシミュレーション用回路を作成するステップと、

前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析するステップとを備えて成る集積回路のノイズシミュレーション方法、

【請求項3】 集積回路に対して消費電流シミュレーションを実行することにより、前記集積回路の電流特性を解析する手段と、

前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記集積回路のモデル回路を構成する手段と、

前記等価回路に接続する電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記モデル回路に付加してノイズシミュレーション用回路を作成する手段と、

前記ノイズシミュレーション用回路に対してアナログシ

ミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する手段とを備えて成る集積回路のノイズシミュレーション装置、

【請求項4】 集積回路を複数の機能ブロックに分割する手段と、

前記複数の機能ブロックに対して消費電流シミュレーションを実行することにより、前記各機能ブロックの電流特性を解析する手段と、

前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記各機能ブロックの各モデル回路を構成する手段と、

前記各機能ブロックに接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記各モデル回路に付加する手段と、

前記複数のモデル回路を結合してノイズシミュレーション用回路を作成する手段と、

前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する手段とを備えて成る集積回路のノイズシミュレーション装置、

【請求項5】 コンピュータを、

複数の機能ブロックに対して消費電流シミュレーションを実行することにより、前記各機能ブロックの電流特性を解析する手段、

解析した電流特性が得られるようにインバータ回路と負荷容量から前記各機能ブロックのモデル回路を構成する手段、

前記各機能ブロックに接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記各モデル回路に付加する手段、

前記複数のモデル回路を結合してノイズシミュレーション用回路を作成する手段、

前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する手段として機能させるためのプログラムを記録した記録媒体、

【請求項6】 コンピュータを、

集積回路を複数の機能ブロックに分割する手段、

前記複数の機能ブロックに対して消費電流シミュレーション

(3)

特開平11-120214

ョンを実行することにより、前記各機能ブロックの電流特性を解析する手段、

前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記各機能ブロックの各モデル回路を構成する手段、

前記各機能ブロックに接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記各モデル回路に付加する手段、

前記複数のモデル回路を結合してノイズシミュレーション用回路を作成する手段、または、

前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する手段のうちの少なくとも1つの手段として機能させるためのプログラムを記録した記録媒体、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ワンチップマイコン等の大規模な集積回路から発生するノイズを、集積回路の回路設計またはレイアウト設計の段階でシミュレーションできるようにした集積回路のノイズシミュレーション方法及びノイズシミュレーション装置及び記録媒体に関する。

【0002】

【従来の技術】大規模な集積回路である例えばワンチップマイコン等から発生するノイズが他の回路部品や他の電子機器に悪影響を与えて誤動作させるという問題、いわゆるEMIの問題が、近年、クローズアップされている。このため、集積回路を設計する場合、発生するノイズを極力低くするように設計している。

【0003】

【発明が解決しようとする課題】しかし、上述したように設計した集積回路がどれくらい大きさのノイズを発生するかは、上記集積回路の半導体チップを実際に製造して、製造した半導体チップが発生するノイズを測定器により測定してみるまでわからなかった。このため、半導体チップ（集積回路）を市場に出荷した後で、ノイズを低減してほしいという要望が市場から寄せられることがあった。このような場合、集積回路をバージョンアップするときなどに、ノイズ対策を厳しく実施する設計を行い、ノイズ対策した半導体チップを出荷するようにし、市場の要望に答えていた。しかし、このような対応では、ノイズ対策が十分であるとはいえなかった。

【0004】この場合、集積回路の設計段階でノイズを評価することができれば、その段階でノイズ対策を厳しく実施する設計を行うことができるから、実際に製造す

る半導体チップは最初からノイズを小さくできる。このため、設計段階で集積回路のノイズを評価する方法が求められている。

【0005】これに対して、本発明者は、アナログ回路を解析するプログラム、即ち、アナログシミュレーションプログラムを用いて設計段階で集積回路の動作をアナログシミュレーションし、集積回路のノイズを評価することを考えた。この場合、集積回路が有するトランジスタ等の素子の個数が少なくても数百個程度までであれば、上記アナログシミュレーションで十分評価できる。

【0006】しかし、近年の集積回路である例えばワンチップマイコンは、数十万ないし数百万個の素子を有している。このような大規模な集積回路をアナログシミュレーションしようとする、数千ないし数十万時間という時間がかかると予想される。このため、大規模な集積回路をアナログシミュレーションしてノイズを評価することは実際には不可能であった。

【0007】一方、集積回路を論理シミュレーションプログラムを用いて論理シミュレーションする方法が、従来より、提供されている。この論理シミュレーションであれば、大規模な集積回路であっても実際にシミュレーションすることが可能である。しかし、論理シミュレーションでは、「0」、「1」のデータしか出力されないため、集積回路の各端子の電圧波形や電流波形を解析することができず、このため、集積回路のノイズを評価することができなかった。

【0008】そこで、本発明の目的は、集積回路が発生するノイズを設計段階で評価することができる集積回路のノイズシミュレーション方法及びノイズシミュレーション装置及び記録媒体を提供するにある。

【0009】

【課題を解決するための手段】請求項1または3の発明においては、集積回路に対して消費電流シミュレーションを実行することにより、集積回路の電流特性を解析し、この解析した電流特性が得られるようにインバータ回路と負荷容量から前記集積回路のモデル回路を構成する。そして、このモデル回路に接続する電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記モデル回路に付加してノイズシミュレーション用回路を作成する。

【0010】更に、このノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する構成とした。

【0011】この構成の場合、数十万個の素子を備えた大規模な集積回路であっても、その消費電流シミュレーションは数時間程度で完了する。そして、モデル回路を

(4)

特開平11-120214

構成し、電源配線等のインピーダンス情報に等価な回路をモデル回路に付加してノイズシミュレーション用回路を作成する作業は、数分ないし数十分で完了する。更に、作成されたノイズシミュレーション用回路の素子数は多くても100個程度であるから、このノイズシミュレーション用回路に対するアナログシミュレーションは、数分で完了する。従って、上記構成によれば、数十万個の素子を備えた大規模な集積回路であっても、比較的短時間で集積回路から発生するノイズをほぼ正確に解析することができるのである。尚、上記構成の場合、ノイズを解析するために要する全作業時間のうちの大部分は、消費電流シミュレーションにかかる時間である。従って、消費電流シミュレーションにかかる時間を短縮できれば、更に作業時間を短くできる。

【0012】そこで、本発明者は、請求項2または4の発明に示すように、集積回路を複数の機能ブロックに分割した後、これら複数の機能ブロックに対して消費電流シミュレーションを実行して各機能ブロックの電流特性を解析するように構成した。このように構成すると、分割した各機能ブロックの素子数が少なくなるから、各機能ブロックを消費電流シミュレーションするのに要する時間を短縮でき、ひいては全作業時間を短くできる。尚、この構成の場合、最終的に作成されるノイズシミュレーション用回路の素子数は、100個程度まで増える可能性があるが、この程度の素子数のノイズシミュレーション用回路に対するアナログシミュレーションは、数分程度で完了するから、全作業時間を長くする要因にはほとんどならない。また、上記集積回路を複数の機能ブロックに分割する構成によれば、数百万個以上の素子を有する更に大規模な集積回路であっても、各機能ブロックの素子数が多くても数十万個程度となるから、多少作業時間は長くなるが、集積回路から発生するノイズを解析する作業を実際に行うことができる。

【0013】また、請求項5または6の発明の記録媒体に記録されたプログラムでコンピュータを動作させると、コンピュータを請求項3または4の集積回路のノイズシミュレーション装置として機能させることができる。

【0014】

【発明の実施の形態】以下、本発明の一実施例について図面を参照しながら説明する。図1は本実施例の集積回路のノイズシミュレーション方法の作業順序を示す図である。この図1(a)に示すように、まず、ノイズシミュレーション対象の集積回路1を複数例え4個の機能ブロック2に分割するステップを行う。この場合、4個の機能ブロック2には、ブロックA、B、C、Dの名称が付されている。また、集積回路1を機能ブロック2に分割する作業(処理)は、ミニコンやEWSやパソコン等からなるコンピュータ上で回路設計用のCADやブロック分割用プログラム等を動作させることによって実行

するように構成されている。

【0015】続いて、上記分割した各機能ブロック2に対して消費電流シミュレーションを実行することにより、各機能ブロック2の電流特性を解析するステップを行う。ここでは、コンピュータ上で消費電流シミュレーションプログラムを動作させて、各機能ブロック2毎に消費電流シミュレーションを行う。これにより、各機能ブロック2毎に、図1(b)に示すような、電流特性、即ち、ピーク電流 $i_{p.p.p.k}$ と平均電流 $i_{a.v.v}$ が解析されて出力される。この場合、上記ピーク電流 $i_{p.p.p.k}$ は集積回路内部のクロック信号のエッジに同期して出力されている。また、出力された各機能ブロック2の電流特性を表すデータは、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0016】次に、図1(c)に示すように、上記解析した電流特性が得られるようにインバータ回路と負荷容量から機能ブロック2のモデル回路3を構成するステップを実行する。ここでは、モデル回路3の電流特性(即ち、ピーク電流 $i_{p.p.p.k}$ と平均電流 $i_{a.v.v}$)が機能ブロック2の電流特性(即ち、ピーク電流 $i_{p.p.p.k}$ と平均電流 $i_{a.v.v}$)に一致するように、モデル回路3のインバータ回路4を構成するトランジスタサイズ及びモデル回路3の負荷容量5の容量値を決定するように構成されている。この場合、モデル回路3は、機能ブロック2の等価回路といえる。そして、複数の機能ブロック2の全てについて、対応するモデル回路3を作成するようにしている。

【0017】また、上記モデル回路3を作成する作業(処理)は、コンピュータ上で動作するプログラム(モデル回路作成用プログラム)によって実行されるように構成されている。そして、作成された各モデル回路3を表現するデータは、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0018】続いて、各機能ブロック2に接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を上記各モデル回路3に付加するステップを実行する。ここで、上記抽出した配線インピーダンス情報に等価な回路は、図1(d)に示すように、抵抗、コイル、コンデンサ等から構成されている。また、上記電源配線等のインピーダンス情報を抽出する作業、並びに、抽出したインピーダンス情報に等価な回路を作成してこの等価回路を上記各モデル回路3に付加する作業は、コンピュータ上でプログラム(インピーダンス情報抽出付加用プログラム)を動作させることによって実行される構成となっている。更に、インピーダンス情報が付加された各モデル回路3を表現するデータは、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0019】そして、上述したように各モデル回路3に各配線インピーダンス情報を付加した後は、図1(d)

(5)

特開平11-120214

に示すように、上記複数のモデル回路3を結合してノイズシミュレーション用回路6を作成するステップが実行される。この各モデル回路3に結合する作業は、コンピュータ上でプログラム（モデル回路結合用プログラム）を動作させることによって実行される構成となっている。そして、作成されたノイズシミュレーション用回路6を表現するデータは、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0020】次に、上述したように作成されたノイズシミュレーション用回路6に対してアナログシミュレーションを実行することにより、ノイズシミュレーション用回路6のうちのノイズが大きくなると予想される回路部分、具体的には、出力端子7の電圧波形または電流波形を解析する。この場合、コンピュータ上でアナログシミュレーションプログラムを動作させて上記アナログシミュレーションを実行するように構成されている。そして、出力端子に出力される電圧波形（または電流波形）の解析結果を、図1（e）の左半部に示す。この解析結果は、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0021】続いて、上記解析した電圧波形または電流波形を例えばFFT（高速フーリエ変換）を用いて周波数分析して、上記回路部分である出力端子7から出力されるノイズを解析するステップが実行されるように構成されている。この電圧波形（または電流波形）の周波数分析結果を、図1（e）の右半部に示す。これにより、集積回路1から発生するノイズをほぼ正確に評価することができる。尚、上記周波数分析結果を表現するデータは、コンピュータのメモリやハードディスク等に記憶されるように構成されている。

【0022】また、上記実施例の場合、コンピュータ及びこのコンピュータ上で動作させる各種のプログラム（回路設計用のCAD、ブロック分割用プログラム、消費電流シミュレーションプログラム、モデル回路作成用プログラム、インピーダンス情報抽出付加用プログラム、モデル回路結合用プログラム、アナログシミュレーションプログラム）から、集積回路のノイズシミュレーション装置が構成されている。

【0023】即ち、上記各種のプログラムがコンピュータを動作させることにより、集積回路1を複数の機能ブロック2に分割する手段としての機能、上記複数の機能ブロック2に対して消費電流シミュレーションを実行することにより各機能ブロック2の電流特性を解析する手段としての機能、上記解析した電流特性が得られるようにインバータ回路4と負荷容量5から各機能ブロック2の各モデル回路3を構成する手段としての機能、各機能ブロック2に接続される電源配線等のインピーダンス情報を抽出すると共にこの抽出したインピーダンス情報に等価な回路を各モデル回路3に付加する手段としての機能、上記複数のモデル回路3を結合してノイズシミュレ

ーション用回路6を作成する手段としての機能、及び、上記ノイズシミュレーション用回路6に対してアナログシミュレーションを実行することにより、ノイズシミュレーション用回路6のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して上記回路部分のノイズを解析する手段としての機能が実現されるように構成されている。

【0024】次に、上記した集積回路のノイズシミュレーション方法（装置）によって、集積回路から発生するノイズをほぼ正確にシミュレーション可能である観点について、図2も参照して説明する。ここでは、上記した集積回路のノイズシミュレーション方法（装置）を、本発明者が発明したときの発明段階（インベンティブステップ）に対応させながら説明する。

【0025】まず、集積回路から発生するノイズをシミュレーションするためには、集積回路の全内部回路の動作をアナログシミュレーションして、集積回路の端子から出力される電圧波形及び電流波形を求める必要がある。しかし、例えばワンチップマイコン等の集積回路は、数十万ないし数百万個の素子を有しているため、このような大規模な集積回路をアナログシミュレーションしようとする、数千ないし数十万時間という時間がかることが予想されるため、アナログシミュレーションしてノイズを評価することは実際には不可能であった。

【0026】これに対して、本発明者は、集積回路の規模が大き過ぎるためにアナログシミュレーションできないのであるから、アナログシミュレーション可能な程度まで集積回路の内部回路を単純化するようなモデル回路を作成してみようと考えた。このモデル回路は、集積回路の内部のノイズ量を反映する回路にする必要がある。ここで、集積回路の内部のノイズ量を特徴付けるものは、集積回路内部の電流変化と電圧変動である。例えば図2に示す集積回路8の出力端子9及び入力端子10に着目すると、これら端子9、10の状態としては、Lレベル（ロウレベル）、Hレベル（ハイレベル）、Zレベル（ハイインピーダンスレベル）の3つレベルがある。

【0027】そして、端子9、10がHレベルであれば、その端子9、10には集積回路8内の電源線11のレベルが出力する。また、端子9、10がLレベルであれば、その端子9、10には集積回路8内のGND線12のレベルが出力する。更に、端子9、10がZレベルであっても、その端子9、10と電源線11及びGND線12との間にカップリング容量成分13、13が存在するため、端子9、10には集積回路8内の電源線11及びGND線12のレベルの影響が出力されるようになる。

【0028】従って、電源線11やGND線12に電位の変動（即ち、ノイズ）が生ずると、この変動、即ち、ノイズが端子9、10から出力されるようになること

(6)

特開平11-120214

を、本発明者は認識した。この場合、集積回路の端子9、10のうち、出力端子9から出力されるノイズの方が入力端子10から出力されるノイズよりもかなり大きいことがわかっているため、集積回路8のノイズを評価する際には、出力端子9から出力されるノイズについて調べれば十分である。

【0029】次に、本発明者は、集積回路8の内部の電源線11やGND線12に電位の変動が生ずる原因について考察した。集積回路8の内部回路は、多数のトランジスタから構成されている。これらのトランジスタがあるタイミング（多くは、集積回路8内部のクロックの変化時点）で出力が変化すると、その過渡時に、貫通電流や充放電電流が流れ、電源電位が局所的に変化する。そして、この変化が集積回路8内部の電圧変動となることを、本発明者は見つけた。

【0030】ここで、上記電圧変動を見積もるためには、まず、集積回路内部の電流変化量を抽出した後、電源端子からそのトランジスタまでのインピーダンスを付加すれば、電圧変動量を求める得ることがわかった。但し、この電圧変動を見積もる作業を、大規模な集積回路内の全てのトランジスタについて実行しようとする、やはり非常に長い時間がかかってしまうので、実現することができない。

【0031】そこで、本発明者は、集積回路内の個々のトランジスタを対象にすることを止め、集積回路を複数の機能ブロックに分けると共に、これら分けた機能ブロック毎に電流特性を見積もり、更に、その機能ブロックまでの電源線のインピーダンスを付加して、電圧変動量を見積もる（シミュレーションする）ように構成することを考えた。ここで、各機能ブロックの電流特性を得るには、汎用アナログシミュレーションプログラムまたは消費電流シミュレーションプログラムを使用することができ。しかし、汎用アナログシミュレーションプログラムで機能ブロックをアナログシミュレーションしようすると、機能ブロックが有するトランジスタの個数が数十万個もあるような場合には、数千時間という長い時間がかかるため、アナログシミュレーションの実行は不可能である。

【0032】これに対して、消費電流シミュレーションプログラムで機能ブロックを消費電流シミュレーションする場合は、機能ブロックが有するトランジスタの個数が数十万個あっても、1時間ないし数時間程度で完了するから、消費電流シミュレーションを実行することができる。従って、本実施例では、各機能ブロックを消費電流シミュレーションして各機能ブロックの電流特性、即ち、ピーク電流及び平均電流を求めるように構成した。

【0033】そして、上記求めた電流特性を反映するモデル回路を作成するに当たっては、インバータ回路と負荷容量とからなる回路が最も単純なモデルであるから、インバータ回路と負荷容量によってモデル回路を作成す

るように構成した。このモデル回路においては、インバータ回路を構成するトランジスタのサイズで主にピーク電流を合わせ込むようにし、負荷容量の容量値で主に平均電流を合わせ込むようにしている。そして、インバータ回路の入力には、集積回路のクロック信号を入力させるように構成している。

【0034】更に、集積回路を分けた全ての機能ブロックについて、上記モデル回路を作成する処理を行った後、各機能ブロックまでの電源線のインピーダンス（パッケージやボンディングワイヤ等も考慮したインピーダンス情報）を各モデル回路に付加する。そして、これらモデル回路を結合することによりノイズシミュレーション用回路を作成する。このようにして作成されたノイズシミュレーション用回路は、集積回路の電流特性に着目した等価回路となっているため、集積回路のノイズに着目した等価回路ということができる。従って、上記ノイズシミュレーション用回路をアナログシミュレーションすれば、集積回路のノイズに着目した等価回路をアナログシミュレーションすることになり、集積回路のノイズをほぼ正確にシミュレーション（評価）することができるのである。

【0035】次に、本実施例の集積回路のノイズシミュレーション方法で集積回路のノイズをシミュレーションした結果を図3及び図4に示す。そして、実際に製造した集積回路のノイズを測定装置により測定した結果を図5及び図6に示す。ここで、図3は、集積回路のサンプルA（ノイズ対策を行う前のもの）のノイズを、本実施例の集積回路のノイズシミュレーション方法でシミュレーションした結果である。図5は、上記サンプルAの集積回路を実際に製造した後、その製造した集積回路のノイズを測定装置により測定した結果である。

【0036】また、図4は、上記サンプルAの集積回路に対してノイズ対策を実行した集積回路であるサンプルBのノイズを、本実施例の集積回路のノイズシミュレーション方法でシミュレーションした結果である。図6は、上記サンプルBの集積回路を実際に製造した後、その製造した集積回路のノイズを測定装置により測定した結果である。

【0037】上記図3と図5から、サンプルAについてはシミュレーション結果の最大値の方が実測値の最大値よりも10dB程度ノイズが小さいことがわかる。また、図4と図6から、サンプルBについてはシミュレーション結果の最大値の方が実測値の最大値よりも7dB程度ノイズが小さいことがわかる。更に、ピークの出現の様子もシミュレーション結果と実測値とで若干ずれていることがわかる。このようにシミュレーション結果と実測値が相違する理由は、測定系及び集積回路のリードフレーム、ボンディングワイヤのインピーダンスが異なっているためであると考えられる。従って、本実施例のノイズシミュレーションによって、集積回路のノイズを

(7)

特開平11-120214

ある程度正確に評価することが可能であるといえる。

【0038】また、サンプルA、Bのノイズのシミュレーション結果の最大値の差は9dBであり、サンプルA、Bのノイズの実測値の最大値の差は12dBである。これら最大値の差をみると、ノイズ対策の効果を見積もる点では、本実施例のノイズシミュレーションによりかなり有効な見積もりが可能なことがわかる。

【0039】尚、上記実施例では、集積回路1を複数の機能ブロック2に分割するように構成したが、これに代えて、集積回路の素子数が数十万個程度であれば、機能ブロックに分割せずに、集積回路を消費電流シミュレーションするように構成しても良い。

【0040】具体的には、集積回路に対して消費電流シミュレーションを実行することにより、集積回路の電流特性を解析した後、解析した電流特性が得られるようにインバータ回路と負荷容量から集積回路のモデル回路を構成し、このモデル回路に接続する電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路をモデル回路に付加してノイズシミュレーション用回路を作成し、そして、このノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析するように構成すれば良い。

【0041】また、集積回路1の出力端子9に注目すると、この端子9の出力が変化する際には、前述したノイズの他に、その端子回路部分で生ずる電流変化（過渡電流）によりノイズが発生する。このノイズを解析するには、ノイズが発生する回路をアナログシミュレーションしてその電圧変動及び電流変化を解析すれば良い。この場合、出力端子9の端子回路部分が有する素子数は少ないので、該端子回路部分だけを単独でアナログシミュレーションすることにより、出力端子9の出力が変化する際に発生するノイズを解析するように構成することができ、尚、前述したように作成したノイズシミュレーション用回路に、上記端子回路部分を付加して、まとめてアナログシミュレーションするように構成しても良い。

【0042】一方、上記実施例において、コンピュータで動作させる各種プログラムは、フロッピーディスクやCD-ROM等からなる記録媒体に記録しておくことが好ましい。そして、記録媒体に記録しておいたプログラムは、コンピュータを動作させることにより、集積回路を複数の機能ブロックに分割する手段としての機能、前

記複数の機能ブロックに対して消費電流シミュレーションを実行することにより、前記各機能ブロックの電流特性を解析する手段としての機能、前記解析した電流特性が得られるようにインバータ回路と負荷容量から前記各機能ブロックの各モデル回路を構成する手段としての機能、前記各機能ブロックに接続される電源配線等のインピーダンス情報を抽出すると共に、この抽出したインピーダンス情報に等価な回路を前記各モデル回路に付加する手段としての機能、前記複数のモデル回路を結合してノイズシミュレーション用回路を作成する手段としての機能、及び、前記ノイズシミュレーション用回路に対してアナログシミュレーションを実行することにより、前記ノイズシミュレーション用回路のうちのノイズが大きくなると予想される回路部分の電圧波形または電流波形を解析すると共に、この解析した電圧波形または電流波形を周波数分析して前記回路部分のノイズを解析する手段としての機能を実現するものである。

【0043】この場合、記録媒体に記録するプログラムは、コンピュータを動作させることにより、上記各手段としての機能のうちの少なくとも1つの機能を実現するものであっても良い。尚、上記記録媒体からコンピュータのハードディスク等へ上記プログラムをインストールすることにより、上記プログラムをコンピュータで動作させることが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであり、集積回路のノイズシミュレーション方法を説明する図

【図2】集積回路の端子に発生するノイズを説明する電気回路図

【図3】集積回路のサンプルA（ノイズ対策を行う前のもの）のノイズをシミュレーションした結果を示す図

【図4】集積回路のサンプルB（ノイズ対策を行った後のもの）のノイズをシミュレーションした結果を示す図

【図5】集積回路のサンプルAを実際に製造した後、その製造した集積回路のノイズを測定装置により測定した結果を示す図

【図6】集積回路のサンプルBを実際に製造した後、その製造した集積回路のノイズを測定装置により測定した結果を示す図

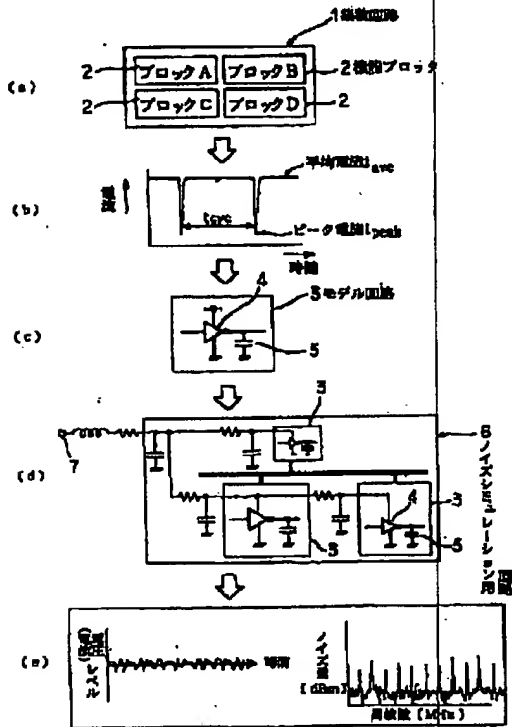
【符号の説明】

1は集積回路、2は機能ブロック、3はモデル回路、4はインバータ回路、5は負荷容量、6はノイズシミュレーション用回路、7は出力端子、8は集積回路、9は出力端子、10は入力端子、11は電源線、12はGND線を示す。

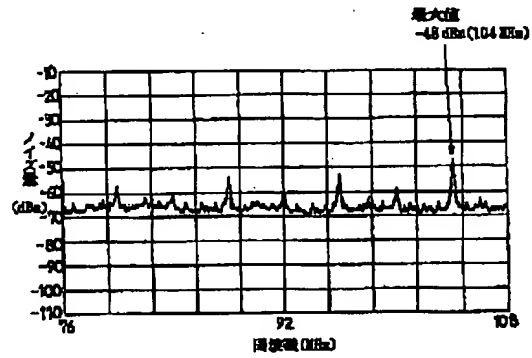
(8)

特開平11-120214

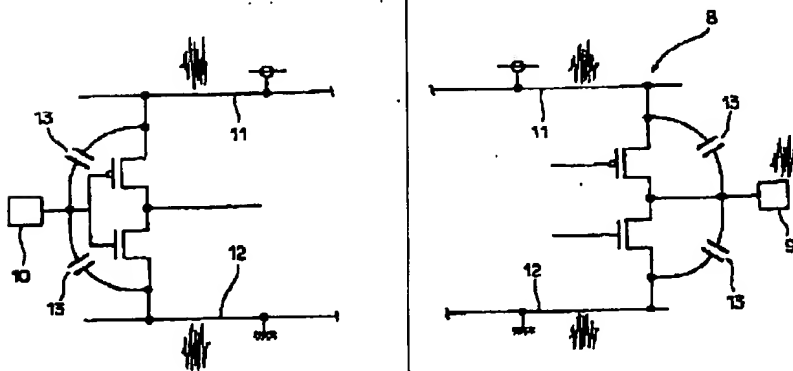
【図1】



【図5】



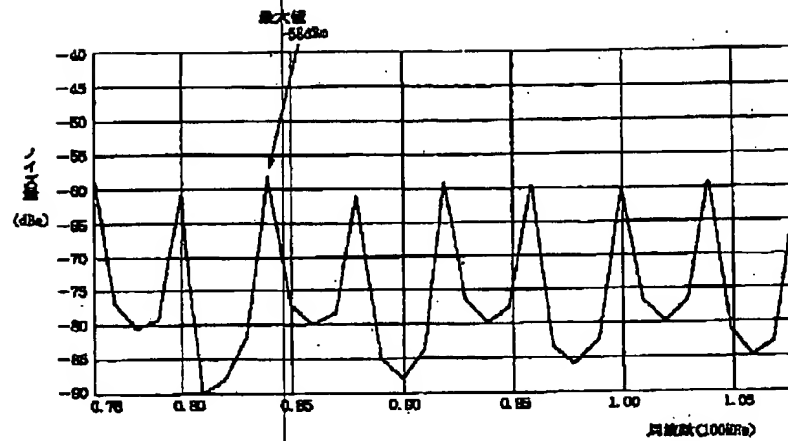
【図2】



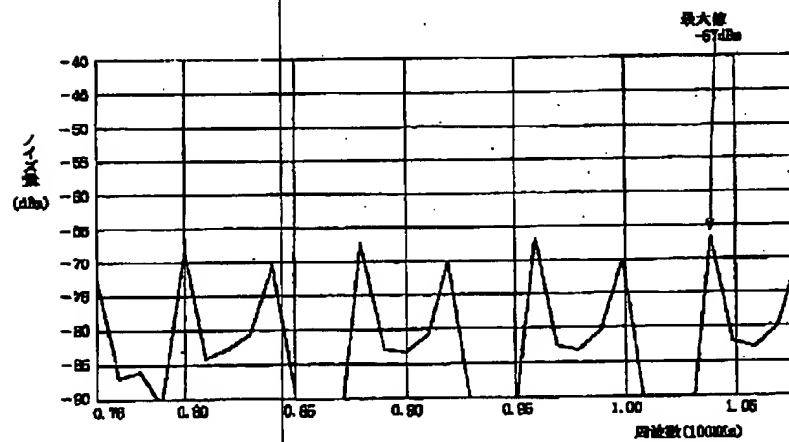
(9)

特開平11-120214

【図3】



【図4】



(10)

特開平11-120214

【図6】

